



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0014122  
Application Number

출원년월일 : 2003년 03월 06일  
Date of Application MAR 06, 2003

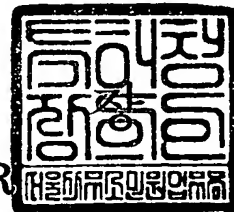
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 17 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【제출일자】** 2003.03.06  
**【발명의 명칭】** 이중 다마신 기술을 사용하여 비아콘택 구조체를 형성하는 방법  
**【발명의 영문명칭】** Method of forming a via contact structure using a dual damascene technique  
**【출원인】**  
**【명칭】** 삼성전자 주식회사  
**【출원인코드】** 1-1998-104271-3  
**【대리인】**  
**【성명】** 박상수  
**【대리인코드】** 9-1998-000642-5  
**【포괄위임등록번호】** 2000-054081-9  
**【발명자】**  
**【성명의 국문표기】** 하상록  
**【성명의 영문표기】** HAH, SANG ROK  
**【주민등록번호】** 611114-1031525  
**【우편번호】** 135-120  
**【주소】** 서울특별시 강남구 신사동 566-33호 4층  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 김일구  
**【성명의 영문표기】** KIM, IL G00  
**【주민등록번호】** 660313-1852419  
**【우편번호】** 463-030  
**【주소】** 경기도 성남시 분당구 분당동 35 셋별마을 207-705  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	11	면	11,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	29	항	1,037,000	원
---------	----	---	-----------	---

【합계】	1,077,000	원
------	-----------	---

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

이중 다마신 기술을 사용하여 비아콘택 구조체를 형성하는 방법을 제공한다. 이 방법은 반도체기판 상에 하부배선을 형성하는 것과, 상기 하부배선을 갖는 반도체기판의 전면 상에 금속충간절연막 및 하드 마스크막을 차례로 형성하는 것을 구비한다. 상기 하드 마스크막 및 상기 금속충간절연막을 연속적으로 패터닝하여 상기 하부배선을 노출시키는 비아홀을 형성한다. 상기 하드 마스크막 상에 상기 비아홀을 채우는 희생막을 형성한다. 상기 희생막 및 상기 하드 마스크막을 패터닝하여 상기 비아홀의 상부를 가로지르는 개구부를 갖는 제1 희생막 패턴 및 상기 비아홀 내에 잔존하는 제2 희생막 패턴을 형성함과 동시에 상기 제1 희생막 패턴의 하부에 하드마스크 패턴을 형성한다. 이어서, 상기 하드마스크 패턴을 식각 마스크로 사용하여 상기 금속충간절연막을 부분식각하여(partially etching) 트렌치를 형성한다. 상기 제2 희생막 패턴을 선택적으로 제거하여 상기 하부배선을 노출시킨다.

**【대표도】**

도 9

**【명세서】****【발명의 명칭】**

이중 다마신 기술을 사용하여 비아콘택 구조체를 형성하는 방법{Method of forming a via contact structure using a dual damascene technique}

**【도면의 간단한 설명】**

도 1 내지 도 4는 종래의 비아콘택 구조체를 형성하는 방법을 설명하기 위한 단면도들이다.

도 5 내지 도 10은 본 발명에 따른 비아콘택 구조체를 형성하는 방법을 설명하기 위한 단면도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체소자의 제조방법에 관한 것으로, 특히 이중 다마신 기술을 사용하여 비아콘택 구조체를 형성하는 방법에 관한 것이다.

<4> 반도체소자의 집적도가 증가함에 따라, 다층의 금속배선들(multi-layered metal interconnection lines)을 채택하는 기술이 널리 사용되고 있다. 특히, 상기 다층의 금속배선들은 상기 반도체소자의 성능(performance)을 향상시키기 위하여 낮은 비저항(low resistivity) 및 높은 신뢰성(high reliability)을 갖는 금속막으로 형성되어야 한다. 이러한 금속막으로 구리막이 널리 사용되고 있다. 그러나, 상기 구리막을 통상의 사진/식각 공정을 사

용하여 패터닝하는 것이 어렵다. 이에 따라, 최근에 상기 구리막과 같은 금속막을 패터닝하기 위한 기술로서 다마신 공정(damascene process)이 제안된 바 있다.

<5>       상기 다마신 공정은 하부 금속배선과 전기적으로 접속되는 상부 금속배선을 형성하는 데 널리 사용된다. 이 경우에, 상기 상부 금속배선은 금속 층간절연막 내에 형성되는 비아홀 및 트렌치 영역을 채운다. 상기 비아홀은 상기 하부 금속배선의 소정영역을 노출시키도록 형성되고, 상기 트렌치는 상기 비아홀의 상부를 가로지르는 라인 형태의 그루브를 갖도록 형성된다. 따라서, 상기 비아홀 및 상기 트렌치는 서로 분리된 2회의 식각 공정들을 사용하여 형성된다. 이러한 다마신 공정은 이중 다마신 공정(dual damascene process)이라 불리운다.

<6>       상기 이중 다마신 공정은 미국특허 제6,268,283호에 "이중 다마신 구조를 형성하는 방법 (method for forming dual damascene structure)"라는 제목으로 후양(Huang)에 의해 개시된 바 있다.

<7>       도 1 내지 도 4는 상기 미국특허 제6,268,283호에 개시된 이중 다마신 공정을 설명하기 위한 단면도들이다.

<8>       도 1을 참조하면, 하부배선(202)을 갖는 반도체기판 상에 제1 절연막(204)을 형성한다. 상기 제1 절연막(204) 상에 식각저지막(206), 제2 절연막(208) 및 하드 마스크막(210)을 차례로 형성한다. 상기 하드 마스크막(210)은 실리콘 산화막( $\text{SiO}_2$ ), 실리콘 질화막( $\text{SiN}$ ) 또는 실리콘 옥시나이트라이드막( $\text{SiON}$ )으로 형성한다. 상기 하드 마스크막(210)은 화학기상증착 기술 (chemical vapor deposition technique)을 사용하여 형성한다. 상기 하드 마스크막(210) 상에 제1 포토레지스트

패턴(212)을 형성한다. 상기 제1 포토레지스트 패턴(212)은 비아홀을 한정하기 위한 개구부를 갖는다. 상기 제1 포토레지스트 패턴(212)을 형성하는 동안 상기 제2 절연막(208)은 현상액(developer)에 의해 손상되지 않는다. 이는 상기 하드 마스크막(210)의 존재에 기인한다. 따라서, 상기 제2 절연막(208)이 상기 제1 포토레지스트 패턴(212)을 형성하는 동안 변형되는 것을 방지할 수 있다.

<9> 도 2를 참조하면, 상기 제1 포토레지스트 패턴(212)을 식각 마스크로 사용하여 상기 하드 마스크막(210), 제2 절연막(208), 식각저지막(206) 및 제1 절연막(204)을 연속적으로 식각하여 상기 하부배선(202)을 노출시키는 비아홀(214)을 형성한다.

<10> 도 3을 참조하면, 상기 제1 포토레지스트 패턴(212)을 제거한다. 이어서, 상기 하드 마스크막(210) 상에 캐핑막(216)을 형성한다. 상기 캐핑막(216)은 플라즈마 CVD 공정을 사용하여 형성한다. 일반적으로, 상기 플라즈마 CVD 공정은 빈약한 단차도포성(poor step coverage)을 보인다. 따라서, 상기 캐핑막(216)은 상기 비아홀(214)의 상부 영역(216)만을 덮는다. 결과적으로, 상기 비아홀(214)의 하부 영역(220)에 보이드가 형성된다. 상기 캐핑막(216) 상에 제2 포토레지스트 패턴(224)을 형성한다. 상기 제2 포토레지스트 패턴(224)은 상기 비아홀(214)의 상부를 가로지르는 개구부를 갖는다. 상기 제2 포토레지스트 패턴(224)을 형성하는 동안 상기 비아홀(214)의 측벽(222)은 현상액에 의해 손상되지 않는다. 이는 상기 캐핑막(216)의 존재에 기인한다. 따라서, 상기 비아홀(214)의 측벽 프로파일이 변형되는 것을 방지할 수 있다.

<11> 도 4를 참조하면, 상기 제2 포토레지스트 패턴(224)을 식각 마스크로 사용하여 상기 캐핑막(216), 하드 마스크막(210) 및 제2 절연막(208)을 연속적으로 식각하여 상기 제2 절연막(208) 내에 트렌치(226)를 형성한다. 상기 트렌치(226)를 형성하는 동안, 상기 비아홀(214)에 의해 노출된 상기 하부배선(202)은 과도식각될 수 있다. 이는 상기 비아홀(214)의 하부 영역

(220)에 형성된 보이드에 기인한다. 결과적으로, 상기 하부 배선(202)의 표면에 심한 식각손상(severe etch damage)이 가해질 수 있다. 상기 심한 식각손상은 상기 하부 배선(202) 및 후속 공정에서 형성되는 상부배선 사이의 콘택불량(contact fail)을 초래할 수 있다.

<12> 상술한 바와 같이 종래의 기술에 따르면, 트렌치를 형성하는 동안 하부배선의 표면에 심한 식각손상이 가해질 수 있다. 이에 따라, 하부 배선 및 상부 배선 사이의 콘택불량이 발생할 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<13> 본 발명이 이루고자 하는 기술적 과제는 하부배선의 표면에 가해지는 식각손상을 최소화시킬 수 있는 비아콘택 구조체의 형성방법을 제공하는 데 있다.

<14> 본 발명이 이루고자 하는 다른 기술적 과제는 트렌치의 프로파일을 개선시킬 수 있는 비아콘택 구조체의 형성방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<15> 상기 기술적 과제들을 이루기 위하여, 본 발명은 이중 다마신 기술을 사용하는 비아콘택 구조체의 형성방법을 제공한다.

<16> 본 발명이 일 양태에 따르면, 상기 방법은 반도체기판 상에 하부배선을 형성하는 것과 상기 하부배선을 갖는 반도체기판의 전면 상에 금속충간절연막 및 하드 마스크막을 차례로 형성하는 것을 포함한다. 상기 하드 마스크막 및 상기 금속충간절연막을 연속적으로 패터닝하여 상기 하부배선을 노출시키는 비아홀을 형성한다. 상기 하드 마스크막 상에 상기 비아홀을 채우는 희생막을 형성한다. 상기 희생막 및 상기 하드 마스크막을 패터닝하여 상기 비아홀의 상부를 가로지르는 개구부를 갖는 제1 희생막 패턴 및 상기 비아홀 내에 잔존하는 제2 희생막 패턴



을 형성함과 동시에 상기 제1 회생막 패턴의 하부에 하드마스크 패턴을 형성한다. 상기 하드마스크 패턴을 식각 마스크로 사용하여 상기 금속충간절연막을 부분식각하여 트렌치를 형성한다. 상기 제2 회생막 패턴을 선택적으로 제거하여 상기 하부배선을 노출시킨다.

<17> 본 발명은 상기 금속충간절연막을 형성하기 전에 상기 하부배선을 갖는 반도체기판의 전면 상에 비아 식각저지막을 형성하는 것을 더 포함할 수 있다. 이 경우에, 상기 비아 식각저지막은 상기 제2 회생막 패턴을 제거한 후에 식각되어 상기 하부배선을 노출시킨다. 이에 따라, 상기 하부배선을 노출시키는 최종 비아홀은 상기 제2 회생막 패턴을 제거한 후에 형성된다.

<18> 상기 회생막 및 하드 마스크막은 상기 회생막 상에 형성되는 포토레지스트 패턴을 식각 마스크로 사용하여 연속적으로 패터닝될 수 있다. 이 경우에, 상기 트렌치는 상기 포토레지스트 패턴을 제거하고 상기 패터닝된 하드 마스크막을 식각 마스크로 사용하여 상기 금속충간절연막을 부분식각함으로써 형성된다.

<19> 이와는 달리, 상기 회생막 및 하드 마스크막은 2회의 식각 공정들을 사용하여 패터닝될 수도 있다. 구체적으로, 상기 회생막은 상기 회생막 상에 형성되는 포토레지스트 패턴을 식각 마스크로 사용하여 패터닝되고, 상기 하드 마스크막은 상기 포토레지스트 패턴을 제거한 다음에 상기 패터닝된 회생막을 식각 마스크로 사용하여 패터닝된다.

<20> 상기 하드마스크막은 상기 금속충간절연막 및 상기 회생막에 대하여 식각선택비를 갖는 절연막 또는 도전막으로 형성할 수 있다.

<21> 이에 더하여, 본 발명은 상기 제2 회생막 패턴을 제거한 후에 상기 하부배선을 노출시키는 비아홀의 내부 및 상기 비아홀의 상부를 가로지르는 트렌치의 내부를 채우는 상부 금속배선을 형성하는 것을 더 포함할 수 있다. 상기 상부 금속배선은 상기 비아홀 및 트렌치를 갖는 반

도체기판의 전면 상에 상부 금속막을 형성하는 것과 상기 상부 금속막을 평탄화시키는 것을 포함한다. 상기 하드마스크막이 도전막으로 형성되는 경우에, 상기 하드마스크 패턴은 상기 평탄화 공정 동안 또는 상기 평탄화 공정 후에 제거된다.

<22> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<23> 도 5 내지 도 10은 본 발명의 바람직한 실시예에 따른 비아콘택 구조체의 형성방법을 설명하기 위한 단면도들이다.

<24> 도 5를 참조하면, 반도체기판(1) 상에 층간절연막(3)을 형성한다. 상기 층간절연막(3) 내에 통상의 다마신 기술을 사용하여 하부배선(5)을 형성한다. 상기 하부배선(5)은 구리막 또는 텅스텐막과 같은 금속막으로 형성될 수 있다. 상기 하부배선(5)을 갖는 반도체기판의 전면 상에 금속층간절연막(14) 및 하드마스크막(15)을 차례로 형성한다. 상기 금속층간절연막(14)은 반도체소자의 동작속도를 향상시키기 위하여 단일 저유전체막(a single low-k dielectric layer)으로 형성하는 것이 바람직하다. 예를 들면, 상기 단일 저유전체막은 탄소, 불소 또는 수소를 함유하는 실리콘 산화막, 예컨대 SiOC막, SiOCH막, 플루오린 함유된 산화막(FSQ layer; fluoro-silses-quioxane layer), 수소 함유된 산화막(HSQ layer; hydro-silses-quioxane

layer) 또는 메틸 함유된 산화막(MSQ layer; methyl-silses-quioxane layer)으로 형성할 수 있다.

<25> 이와는 달리, 상기 금속충간절연막(14)은 하부 금속충간절연막(9), 트렌치 식각저지막(11) 및 상부 금속충간절연막(13)을 차례로 적층시켜 형성할 수도 있다. 이 경우에, 상기 하부 금속충간절연막(9) 및 상부 금속충간절연막(13)은 상술한 저유전체막(the aforementioned low-k dielectric layer)으로 형성하는 것이 바람직하고, 상기 트렌치 식각저지막(11)은 상기 하부 금속충간절연막(9) 및 상기 상부 금속충간절연막(13)에 대하여 식각선택비를 갖는 절연막으로 형성하는 것이 바람직하다. 예를 들면, 상기 트렌치 식각저지막(11)은 실리콘 질화막(SiN), 실리콘 탄질화막(SiCN), 실리콘 탄화막(SiC) 또는 붕소질화막(BN)으로 형성할 수 있다.

<26> 이에 더하여, 상기 금속충간절연막(14)을 형성하기 전에 상기 하부배선(5)을 갖는 반도체기판의 전면 상에 비아 식각저지막(7)을 추가로 형성할 수도 있다. 상기 비아 식각저지막(7)은 상기 금속충간절연막(14) 또는 상기 하부 금속충간절연막(9)에 대하여 식각선택비를 갖는 절연막으로 형성하는 것이 바람직하다. 예를 들면, 상기 비아 식각저지막(7)은 실리콘 질화막(SiN), 실리콘 탄질화막(SiCN), 실리콘 탄화막(SiC) 또는 붕소질화막(BN)으로 형성할 수 있다.

<27> 또한, 상기 하드 마스크막(15)은 상기 금속충간절연막(14)에 대하여 식각선택비를 갖는 절연막 또는 도전막으로 형성하는 것이 바람직하다. 예를 들면, 상기 하드 마스크막(15)은 절연성 질화막(insulating nitride layer), 절연성 탄화막(insulating carbide layer), 금속 질화막(metal nitride layer), 금속 산화막(metal oxide layer) 또는 실리콘막으로 형성할 수 있다. 구체적으로, 상기 절연성 질화막은 실리콘 질화막(SiN), 실리콘 탄질화막(SiCN) 또는 붕소 질화막(BN)으로 형성하고, 상기 절연성 탄화막은 실리콘 탄화막(SiC)으로 형성한다. 또한, 상기 금속 질화막은 탄탈륨 질화막, 타이타늄 질화막, 텅스텐 질화막 또는 알루미늄 질화막으로

형성하고, 상기 금속 산화막은 알루미늄 산화막( $Al_2O_3$ ), 탄탈륨 산화막 또는 타이타늄 산화막으로 형성한다. 이에 더하여, 상기 실리콘막은 다결정 실리콘막 또는 비정질 실리콘막으로 형성한다.

<28>       상기 하드 마스크막(15) 상에 제1 포토레지스트 패턴(17)을 형성한다. 상기 제1 포토레지스트 패턴(17)을 식각 마스크로 사용하여 상기 하드마스크막(15) 및 금속층간절연막(14)을 연속적으로 식각하여 상기 하부배선(7) 상의 상기 비아 식각저지막(7)을 노출시키는 예비 비아홀(19)을 형성한다. 상기 비아 식각저지막(7)을 형성하는 공정이 생략된 경우에는, 상기 하부배선(7)을 노출시키는 비아홀이 형성된다.

<29>       도 6을 참조하면, 상기 제1 포토레지스트 패턴(17)을 제거한다. 상기 제1 포토레지스트 패턴(17)이 제거된 반도체기판의 전면 상에 희생막(21)을 형성한다. 상기 희생막(21)은 무기 절연막(inorganic material layer) 또는 유기 물질막으로 형성할 수 있다. 상기 희생막(21)은 상기 금속층간절연막(14) 및 상기 하드마스크막(15)에 대하여 각각 습식 식각선택비 및 건식 식각선택비를 갖는 무기 절연막으로 형성한다. 구체적으로, 상기 무기 절연막은 스피ن 코팅 방식을 사용하여 HSQ(hydro-silses-quioxane)막으로 형성하는 것이 바람직하다. 이에 따라, 상기 예비 비아홀(19)은 상기 희생막(21)으로 완전히 채워지고, 상기 희생막(21)은 평평한 상부면(flat top surface)을 가질 수 있다.

<30>       더 나아가서, 상기 희생막(21) 상에 반사방지막(23)을 형성할 수도 있다. 상기 반사방지막(23) 상에 상기 비아홀(19)의 상부를 가로지르는 라인 형태의 트렌치 개구부(25a)를 갖는 제2 포토레지스트 패턴(25)을 형성한다.

<31>       도 7a를 참조하면, 상기 제2 포토레지스트 패턴(25)을 식각 마스크로 사용하

여 상기 반사방지막(23) 및 상기 희생막(21)을 연속적으로 식각하여 상기 제2 포토레지스트 패턴(25) 하부에 차례로 적층된 제1 희생막 패턴(21a) 및 반사방지막 패턴(23a)을 형성함과 동시에 상기 비아홀(19) 내에 잔존하는 제2 희생막 패턴(21b)을 형성한다.

<32> 이와는 달리, 도 7b에 도시된 바와 같이 상기 제2 포토레지스트 패턴(25)을 식각 마스크로 사용하여 상기 반사방지막(23), 상기 희생막(21) 및 상기 하드마스크막(15)을 연속적으로 식각할 수도 있다. 그 결과, 상기 제1 희생막 패턴(21a), 상기 반사방지막 패턴(23a) 및 상기 제2 희생막 패턴(21b)에 더하여 상기 제1 희생막 패턴(21a) 하부에 하드마스크 패턴(15a)이 형성된다.

<33> 도 8을 참조하면, 도 7a 또는 도 7b에 보여진 제2 포토레지스트 패턴(25)을 제거한다. 계속해서, 도 7a에서 설명된 바와 같이 상기 제2 포토레지스트 패턴(25)을 식각 마스크로 사용하여 상기 반사방지막(23) 및 희생막(21)만을 식각하는 경우에는, 상기 희생막 패턴(21a)을 식각 마스크로 사용하여 상기 하드마스크막(15)을 식각하여 도 7b에 도시된 상기 하드마스크 패턴(15a)을 형성한다. 이어서, 상기 하드마스크 패턴(15a)을 식각 마스크로 사용하여 상기 트렌치 식각저지막(11)이 노출될 때까지 상기 상부 금속층간절연막(14)을 식각한다. 그 결과, 상기 상부 금속층간절연막(14) 내에 상기 비아홀(19)의 상부를 가로지르는 트렌치(27)가 형성된다. 이 경우에, 상기 반사방지막 패턴(23a)은 상기 제2 포토레지스트 패턴(25)을 제거하는 동안 또는 상기 트렌치(27)를 형성하는 동안 제거될 수 있고, 상기 희생막 패턴(21a)은 상기 트렌치(27)을 형성하는 동안 제거될 수 있다.

<34> 한편, 도 7b에서 설명된 바와 같이 상기 제2 포토레지스트 패턴(25)을 식각 마스크로 사용하여 상기 반사방지막(23), 희생막(21) 및 하드마스크막(15)을 연속적으로 식각하는 경우에

는, 상기 하드마스크 패턴(15a)을 형성하기 위한 추가 식각공정(an additional etching process)이 요구되지 않는다.

- <35>        상기 금속층간절연막(14)이 도 5에서 언급된 바와 같이 상기 단일 저유전체막으로 형성되는 경우에, 상기 트렌치(27)는 상기 금속층간절연막(14)을 부분식각(partially etching)함으로써 형성된다. 다시 말해서, 상기 트렌치(27)는 상기 금속층간절연막(14)의 두께보다 작은 깊이를 갖도록 형성된다.
- <36>        도 7b 또는 도 8에 있어서, 상기 하드마스크 패턴(15a)을 형성하기 위한 식각공정은 염소를 기본으로 하는 가스(chlorine-based gas) 또는 불소를 기본으로 하는 가스(fluorine-based gas)를 사용하여 실시하는 것이 바람직하다. 구체적으로, 상기 하드마스크막(15)이 탄탈륨 질화막, 타이타늄 질화막, 텅스텐 질화막, 알루미늄 질화막 또는 실리콘막으로 형성되는 경우에, 상기 식각 가스로는 염소( $\text{Cl}_2$ ) 또는 염화붕소( $\text{BCl}_3$ )와 같은 염소 기본가스를 사용하여 실시하는 것이 바람직하다. 또한, 상기 하드마스크막(15)이 실리콘 질화막, 실리콘 탄질화막, 실리콘 탄화막 또는 붕소질화막으로 형성되는 경우에, 상기 식각 가스로는  $\text{CF}_4$  가스,  $\text{CH}_2\text{F}_2$  가스 또는  $\text{CHF}_3$  가스와 같은 불소 기본가스를 사용하여 실시하는 것이 바람직하다.
- <37>        도 9를 참조하면, 상기 예비 비아홀(19) 내의 상기 제2 희생막 패턴(21b)을 선택적으로 제거하여 상기 비아 식각저지막(7)의 소정영역을 노출시킨다. 상기 제2 희생막 패턴(21b)은 불산을 사용하는 습식 식각공정 또는 플라즈마를 사용하는 건식 식각공정에 의해 제거될 수 있다. 이어서, 상기 노출된 비아 식각저지막(7)을 식각하여 상기 하부배선(5)을 노출시키는 최종 비아홀(19a)을 형성한다. 상기 노출된 비아 식각저지막(7)을 식각하는 동안 상기 트렌치(27)에 의해 노출된 상기 트렌치 식각저지막(11) 역시 식각될 수 있다.

<38> 한편, 상기 비아 식각저지막(7)의 형성이 생략되는 경우에는, 상기 하부배선(5)의 소정 영역은 상기 제2 희생막 패턴(21b)을 제거함으로써 노출된다.

<39> 도 10을 참조하면, 상기 최종 비아홀(19a)을 포함하는 반도체기판의 전면 상에 상부 금속막을 형성한다. 상기 상부 금속막은 확산장벽막 및 금속막을 차례로 적층시켜 형성할 수 있다. 상기 확산장벽막은 탄탈륨 질화막 또는 타이타늄 질화막과 같은 도전성 금속질화막으로 형성하고, 상기 금속막은 구리막 또는 텅스텐막으로 형성한다. 상기 금속막 및 확산장벽막을 평탄화시켜 상기 트렌치(27) 및 최종 비아홀(19a) 내에 상부 금속배선(32)을 형성한다. 상기 평탄화 공정은 화학기계적 연마 공정을 사용하여 실시될 수 있다. 결과적으로, 상기 상부 금속배선(32)은 차례로 적층된 확산장벽막 패턴(29) 및 금속막 패턴(31)으로 구성된다. 상기 하드마스크 패턴(15a)이 도전막으로 형성되는 경우에, 상기 하드마스크 패턴(15a)은 상기 평탄화 공정 동안 또는 상기 평탄화 공정 후에 제거된다. 그러나, 상기 하드마스크 패턴(15a)이 절연막으로 형성되는 경우에, 상기 하드마스크 패턴(15a)은 상기 평탄화 공정 후에도 잔존할 수 있다.

#### 【발명의 효과】

<40> 상술한 바와 같이 본 발명의 실시예에 따르면, 트렌치를 형성하는 동안 상기 비아홀 내에 제2 희생막 패턴이 여전히 잔존한다. 이에 따라, 상기 하부배선에 가해지는 식각손상을 최소화시킬 수 있다.

**【특허청구범위】****【청구항 1】**

반도체기판 상에 하부배선을 형성하고,

상기 하부배선을 갖는 반도체기판의 전면 상에 금속충간절연막 및 하드 마스크막을 차례로 형성하고,

상기 하드 마스크막 및 상기 금속충간절연막을 연속적으로 패터닝하여 상기 하부배선을 노출시키는 비아홀을 형성하고,

상기 하드 마스크막 상에 상기 비아홀을 채우는 희생막을 형성하고,

상기 희생막 및 상기 하드마스크막을 패터닝하여 상기 비아홀의 상부를 가로지르는 개구부를 갖는 제1 희생막 패턴 및 상기 비아홀 내에 잔존하는 제2 희생막 패턴을 형성함과 동시에 상기 제1 희생막 패턴의 하부에 하드마스크 패턴을 형성하고,

상기 하드마스크 패턴을 식각 마스크로 사용하여 상기 금속충간절연막을 부분식각하여 (partially etching) 트렌치를 형성하고,

상기 제2 희생막 패턴을 선택적으로 제거하여 상기 하부배선을 노출시키는 것을 포함하는 비아콘택 구조체 형성방법.

**【청구항 2】**

제 1 항에 있어서,

상기 금속충간절연막을 형성하기 전에 상기 하부배선을 갖는 반도체기판의 전면 상에 비아 식각저지막(via etch stop layer)을 형성하는 것을 더 포함하되, 상기 비아 식각저지막은



상기 제2 희생막 패턴을 제거한 후에 식각되어 상기 하부배선을 노출시키는 최종 비아홀을 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

**【청구항 3】**

제 2 항에 있어서,

상기 비아 식각저지막은 상기 금속충간절연막에 대하여 식각선택비를 갖는 절연성 질화막(insulating nitride layer) 또는 절연성 탄화막(insulating carbide layer)으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

**【청구항 4】**

제 3 항에 있어서,

상기 절연성 질화막은 실리콘 질화막(SiN), 실리콘 탄질화막(SiCN) 또는 붕소 질화막(boron nitride layer; BN)으로 형성하고, 상기 절연성 탄화막은 실리콘 탄화막(SiC)으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

**【청구항 5】**

제 1 항에 있어서,

상기 금속충간절연막은 단일 절연막(a single insulation layer)으로 형성하되, 상기 트렌치는 상기 금속충간절연막의 두께보다 작은 깊이로 형성되는 것을 특징으로 하는 비아콘택 구조체 형성방법.

**【청구항 6】**

제 1 항에 있어서,

상기 금속층간절연막은 하부 금속층간절연막, 트렌치 식각저지막 및 상부 금속층간절연막을 차례로 적층시키어 형성하되, 상기 트렌치는 상기 트렌치 식각저지막이 노출될 때까지 상기 상부 금속층간절연막을 식각함으로써 형성되는 것을 특징으로 하는 비아콘택 구조체 형성방법.

**【청구항 7】**

제 6 항에 있어서,

상기 트렌치 식각저지막은 상기 상부 금속층간절연막에 대하여 식각 선택비를 갖는 절연성 질화막(insulating nitride layer) 또는 절연성 탄화막(insulating carbide layer)으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

**【청구항 8】**

제 7 항에 있어서,

상기 절연성 질화막은 실리콘 질화막(SiN), 실리콘 탄질화막(SiCN) 또는 붕소 질화막(BN)으로 형성하고, 상기 절연성 탄화막은 실리콘 탄화막(SiC)으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

**【청구항 9】**

제 1 항에 있어서,

상기 하드 마스크막은 상기 금속층간절연막 및 상기 희생막에 대하여 식각 선택비를 갖는 절연성 질화막, 절연성 탄화막, 금속 질화막, 금속 산화막 또는 실리콘막으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

**【청구항 10】**

제 9 항에 있어서,

상기 절연성 질화막은 실리콘 질화막(SiN), 실리콘 탄질화막(SiCN) 또는 붕소 질화막(BN)으로 형성하고, 상기 절연성 탄화막은 실리콘 탄화막(SiC)으로 형성하고, 상기 금속 질화막은 탄탈륨 질화막 또는 타이타늄 질화막으로 형성하고, 상기 금속 산화막은 알루미늄 산화막( $Al_2O_3$ ), 탄탈륨 산화막 또는 타이타늄 산화막으로 형성하고, 상기 실리콘막은 다결정 실리콘막 또는 비정질 실리콘막으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

**【청구항 11】**

제 1 항에 있어서,

상기 희생막은 무기 물질막(inorganic material layer)으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

**【청구항 12】**

제 11 항에 있어서,

상기 무기 물질막은 스피ن 코팅 방법을 사용하여 HSQ막(hydro-silses-quioxane)으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

**【청구항 13】**

제 1 항에 있어서,

상기 희생막 및 상기 하드 마스크막을 패터닝하기 전에 상기 희생막 상에 반사방지막을 형성하는 것을 더 포함하되, 상기 반사방지막은 상기 희생막 및 상기 하드 마스크막과 함께 패터닝되는 것을 특징으로 하는 비아콘택 구조체 형성방법.

## 【청구항 14】

제 1 항에 있어서,

상기 희생막 및 상기 하드 마스크막을 패터닝하는 것은

상기 희생막 상에 상기 비아홀의 상부를 가로지르는 개구부를 갖는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 희생막을 식각하여 상기 비아홀의 상부를 가로지르는 개구부를 갖는 제1 희생막 패턴 및 상기 비아홀 내에 잔존하는 제2 희생막 패턴을 형성하고,

상기 포토레지스트 패턴을 제거하고,

상기 제1 희생막 패턴을 식각 마스크로 사용하여 상기 하드 마스크막을 식각하는 것을 포함하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

## 【청구항 15】

제 1 항에 있어서,

상기 희생막 및 상기 하드 마스크막을 패터닝하는 것은

상기 희생막 상에 상기 비아홀의 상부를 가로지르는 개구부를 갖는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 희생막 및 상기 하드 마스크막을 연속적으로 식각하여 상기 비아홀의 상부를 가로지르는 개구부를 갖는 제1 희생막 패턴 및 상기 비아홀 내에 잔존하는 제2 희생막 패턴을 형성함과 동시에 상기 제1 희생막 패턴 하부에 하드 마스크 패턴을 형성하고,

상기 포토레지스트 패턴을 제거하는 것을 포함하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

【청구항 16】

제 1 항에 있어서,

상기 제2 희생막 패턴을 제거한 후에,

상기 하드 마스크 패턴 상에 상기 비아홀 및 상기 트렌치를 채우는 상부 금속막을 형성하고,

상기 상부 금속막을 평탄화시키어 상기 비아홀 및 상기 트렌치를 채우는 상부 금속배선을 형성하는 것을 더 포함하되, 상기 하드 마스크 패턴이 도전막 또는 반도체막으로 형성되는 경우에, 상기 하드 마스크 패턴은 상기 평탄화 공정 동안 또는 상기 평탄화 공정 후에 제거되는 것을 특징으로 하는 비아콘택 구조체 형성방법.

【청구항 17】

제 16 항에 있어서,

상기 상부 금속막은 확산방지막 및 금속막을 차례로 적층시키어 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

【청구항 18】

반도체기판 상에 하부배선을 형성하고,

상기 하부배선을 갖는 반도체기판의 전면 상에 비아 식각저지막, 하부 금속충간절연막, 트렌치 식각저지막, 상부 금속충간절연막 및 하드 마스크막을 차례로 형성하고,

상기 하드 마스크막, 상기 상부 금속충간절연막, 상기 트렌치 식각저지막 및 상기 하부 금속충간절연막을 연속적으로 패터닝하여 상기 하부배선 상의 상기 비아 식각저지막을 노출시키는 예비 비아홀을 형성하고,

상기 하드 마스크막 상에 상기 예비 비아홀을 채우는 희생막을 형성하고,

상기 희생막 및 상기 하드 마스크막을 패터닝하여 상기 예비 비아홀의 상부를 가로지르는 개구부를 갖는 제1 희생막 패턴 및 상기 비아홀 내에 잔존하는 제2 희생막 패턴을 형성함과 동시에 상기 제1 희생막 패턴의 하부에 하드 마스크 패턴을 형성하고,

상기 하드 마스크 패턴 및 상기 트렌치 식각저지막을 각각 식각 마스크 및 식각저지막으로 사용하여 상기 상부 금속충간절연막을 식각하여(partially etching) 트렌치를 형성하고,

상기 제2 희생막 패턴을 선택적으로 제거하여 상기 비아 식각저지막을 노출시키고,

상기 노출된 비아 식각저지막을 식각하여 상기 하부배선을 노출시키는 최종 비아홀을 형성하는 것을 포함하는 비아콘택 구조체 형성방법.

#### 【청구항 19】

제 18 항에 있어서,

상기 비아 식각저지막은 상기 하부 금속충간절연막에 대하여 식각선택비를 갖는 절연성 질화막(insulating nitride layer) 또는 절연성 탄화막(insulating carbide layer)으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

#### 【청구항 20】

제 19 항에 있어서,

상기 절연성 질화막은 실리콘 질화막(SiN), 실리콘 탄질화막(SiCN) 또는 붕소 질화막(boron nitride layer; BN)으로 형성하고, 상기 절연성 탄화막은 실리콘 탄화막(SiC)으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

【청구항 21】

제 20 항에 있어서,

상기 트렌치 식각저지막은 상기 상부 금속층간절연막에 대하여 식각 선택비를 갖는 절연성 질화막(insulating nitride layer) 또는 절연성 탄화막(insulating carbide layer)으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

【청구항 22】

제 21 항에 있어서,

상기 절연성 질화막은 실리콘 질화막(SiN), 실리콘 탄질화막(SiCN) 또는 붕소 질화막(BN)으로 형성하고, 상기 절연성 탄화막은 실리콘 탄화막(SiC)으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

【청구항 23】

제 18 항에 있어서,

상기 하드 마스크막은 상기 상부 금속층간절연막 및 상기 회생막에 대하여 식각 선택비를 갖는 절연성 질화막, 절연성 탄화막, 금속 질화막, 금속 산화막 또는 실리콘막으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

【청구항 24】

제 23 항에 있어서,

상기 절연성 질화막은 실리콘 질화막(SiN), 실리콘 탄질화막(SiCN) 또는 붕소 질화막(BN)으로 형성하고, 상기 절연성 탄화막은 실리콘 탄화막(SiC)으로 형성하고, 상기 금속 질화막은 탄탈륨 질화막 또는 타이타늄 질화막으로 형성하고, 상기 금속 산화막은 알루미늄 산화막( $Al_2O_3$ ), 탄탈륨 산화막 또는 타이타늄 산화막으로 형성하고, 상기 실리콘막은 다결정 실리콘막 또는 비정질 실리콘막으로 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

#### 【청구항 25】

제 18 항에 있어서,

상기 희생막 및 상기 하드 마스크막을 패터닝하기 전에 상기 희생막 상에 반사방지막을 형성하는 것을 더 포함하되, 상기 반사방지막은 상기 희생막 및 상기 하드 마스크막과 함께 패터닝되는 것을 특징으로 하는 비아콘택 구조체 형성방법.

#### 【청구항 26】

제 18 항에 있어서,

상기 희생막 및 상기 하드 마스크막을 패터닝하는 것은

상기 희생막 상에 상기 비아홀의 상부를 가로지르는 개구부를 갖는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 희생막을 식각하여 상기 비아홀의 상부를 가로지르는 개구부를 갖는 제1 희생막 패턴 및 상기 비아홀 내에 잔존하는 제2 희생막 패턴을 형성하고,



상기 포토레지스트 패턴을 제거하고,

상기 제1 희생막 패턴을 식각 마스크로 사용하여 상기 하드 마스크막을 식각하는 것을 포함하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

【청구항 27】

제 18 항에 있어서,

상기 희생막 및 상기 하드 마스크막을 패터닝하는 것은

상기 희생막 상에 상기 비아홀의 상부를 가로지르는 개구부를 갖는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 희생막 및 상기 하드 마스크막을 연속적으로 식각하여 상기 비아홀의 상부를 가로지르는 개구부를 갖는 제1 희생막 패턴 및 상기 비아홀 내에 잔존하는 제2 희생막 패턴을 형성함과 동시에 상기 제1 희생막 패턴 하부에 하드 마스크 패턴을 형성하고,

상기 포토레지스트 패턴을 제거하는 것을 포함하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

【청구항 28】

제 18 항에 있어서,

상기 최종 비아홀을 형성한 후에,

상기 하드 마스크 패턴 상에 상기 최종 비아홀 및 상기 트렌치를 채우는 상부 금속막을 형성하고,

상기 상부 금속막을 평탄화시키어 상기 비아홀 및 상기 트렌치를 채우는 상부 금속배선을 형성하는 것을 더 포함하되, 상기 하드 마스크 패턴이 도전막 또는 반도체막으로 형성되는 경우에, 상기 하드 마스크 패턴은 상기 평탄화 공정 동안 또는 상기 평탄화 공정 후에 제거되는 것을 특징으로 하는 비아콘택 구조체 형성방법.

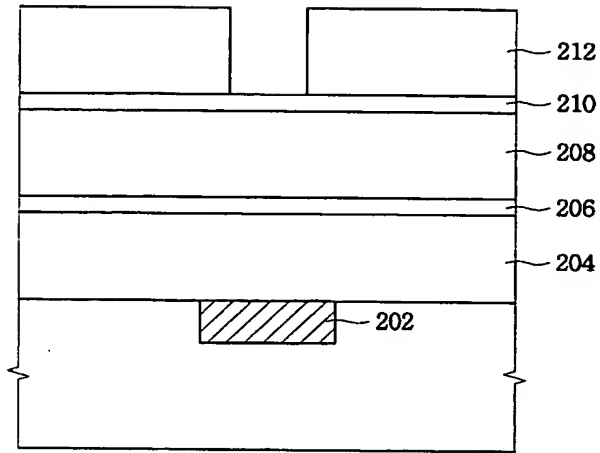
【청구항 29】

제 28 항에 있어서,

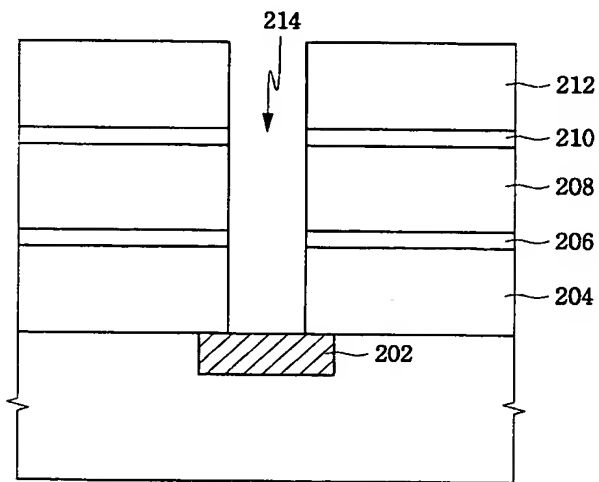
상기 상부 금속막은 확산방지막 및 금속막을 차례로 적층시키어 형성하는 것을 특징으로 하는 비아콘택 구조체 형성방법.

【도면】

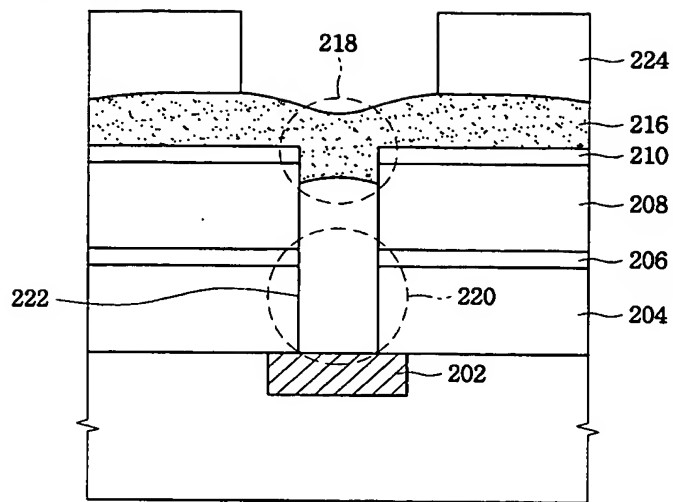
【도 1】



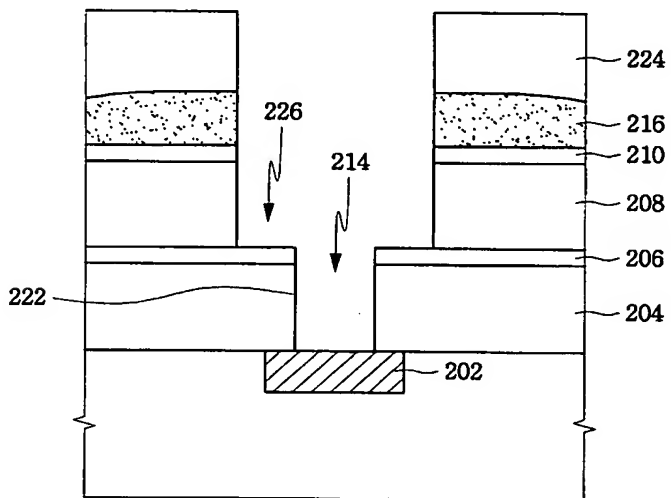
【도 2】



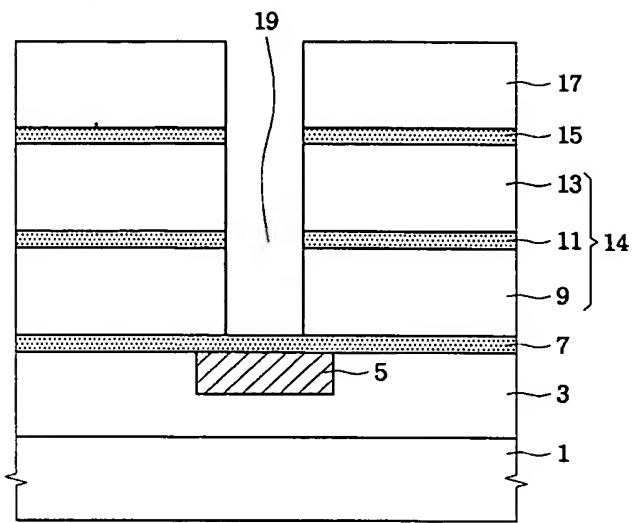
【도 3】



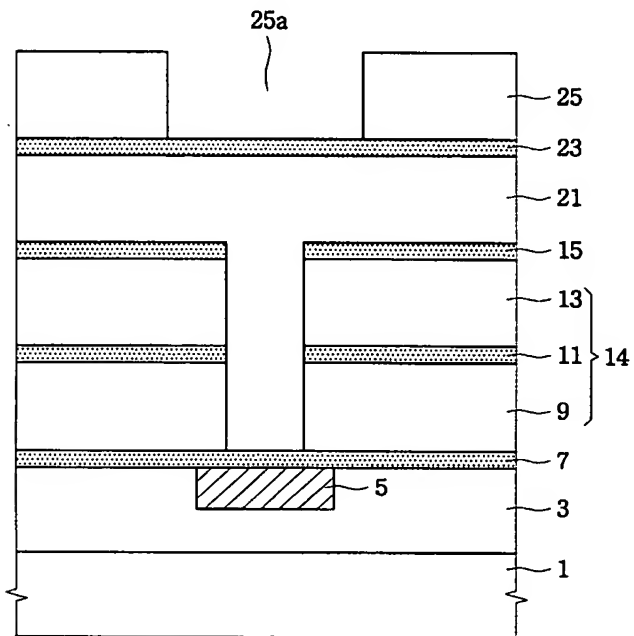
【도 4】



【도 5】

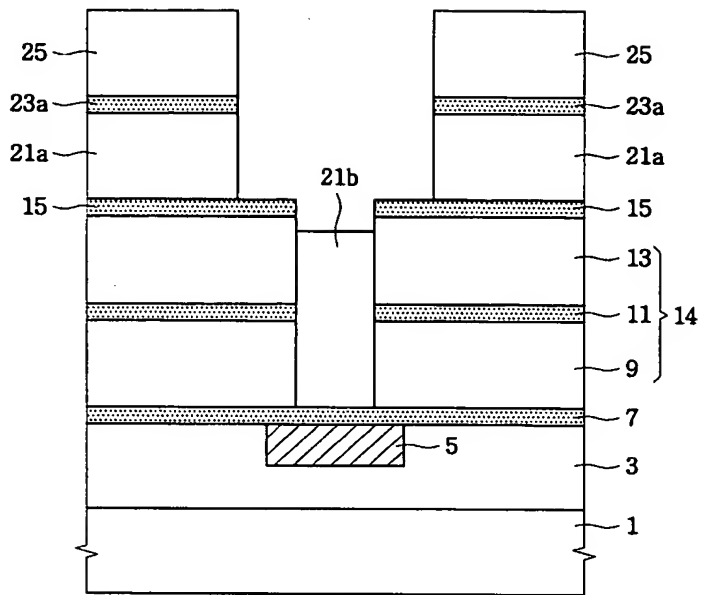


【도 6】

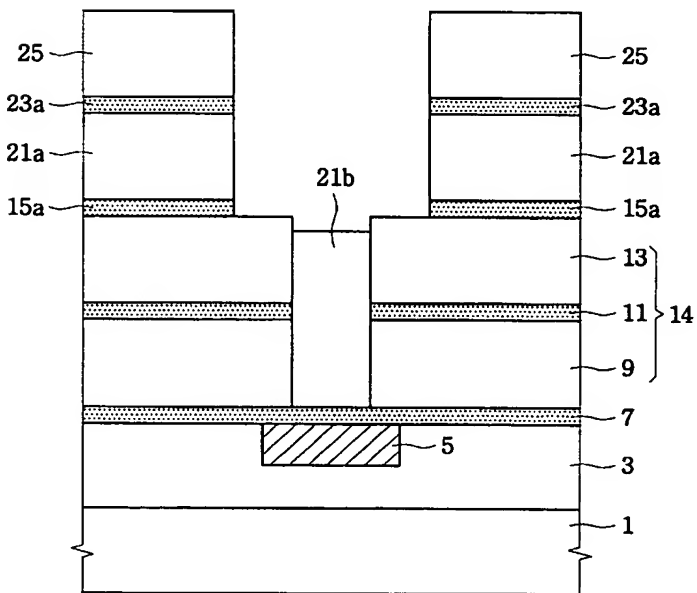




【도 7a】



【도 7b】

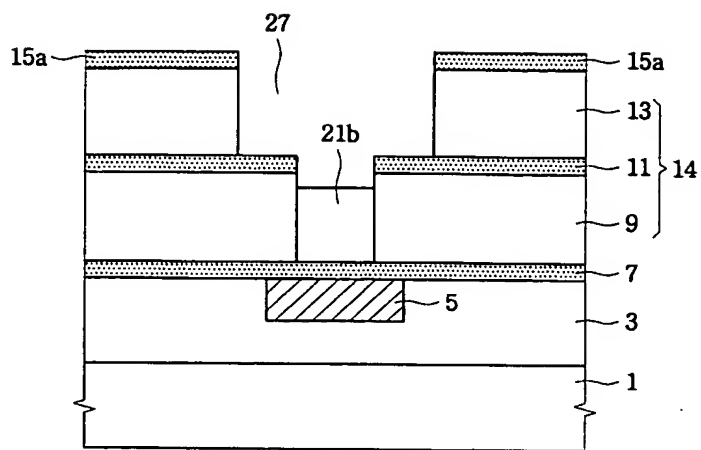




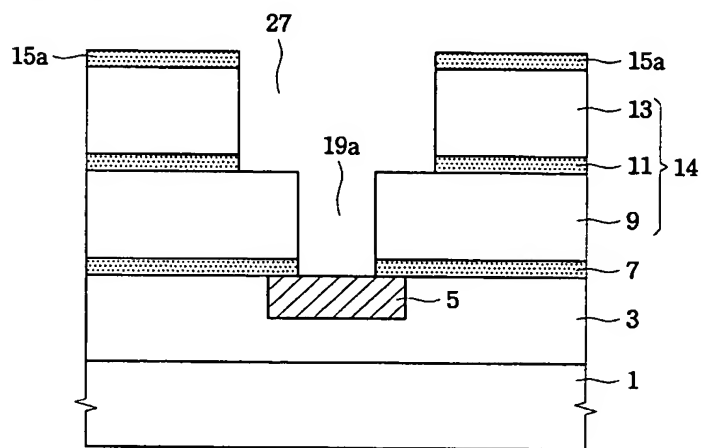
1020030014122

출력 일자: 2003/9/25

【도 8】



【도 9】



【도 10】

